

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-327171

(43)Date of publication of application : 22.11.2001

(51)Int.Cl. H02M 7/12
H02M 7/48
H02M 7/537
H02M 7/5387

(21)Application number : 2000-138873 (71)Applicant : FUJI ELECTRIC CO LTD

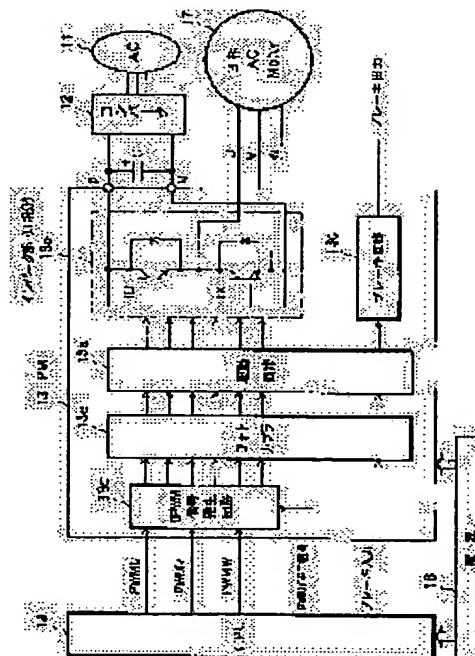
(22)Date of filing : 11.05.2000 (72)Inventor : JINBO SHINICHI
MATSUDA NAOTAKA

(54) POWER SEMICONDUCTOR MODULE AND HIGH BREAKDOWN VOLTAGE IC

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a power semiconductor module and to enhance its reliability by reducing the number of input signal lines to an IPM and a HVIC used for a PWM inverter/converter.

SOLUTION: Three PWM signals (PWMU, PWMV and PWMW) and one PWMOFF signal for turning off all signals are supplied from a CPU 14 to a 6PWM signal generator 13d in an IPM 13. Then, three phase inverted signals are respectively generated from the generators 13d based on the three PWM signals. Thus, a drive circuit 13a inputs six signals from the generator 13d via a photocoupler 13e, and controls to switch six IGBTs of an inverter 13b. Accordingly, a power semiconductor module which generates six PWM signals by inputting three PWM signals and one PWMOFF signal can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-327171
(P2001-327171A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 2 M	7/12	H 0 2 M	B 5 H 0 0 6
	7/48		F 5 H 0 0 7
	7/537		J
	7/5387		C
			Z
審査請求 未請求 請求項の数 8 O L (全 13 頁)			

(21) 出願番号 特願2000-138873(P2000-138873)

(22) 出願日 平成12年 5 月11日 (2000. 5. 11)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者 神保 信一

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(72) 発明者 松田 尚孝

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人 100097250

弁理士 石戸 久子 (外 3 名)

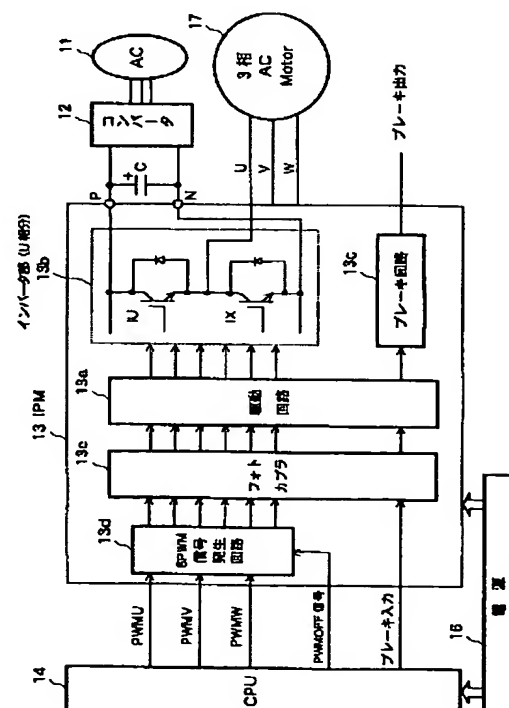
最終頁に続く

(54) 【発明の名称】 パワー半導体モジュールおよび高耐圧 I C

(57) 【要約】

【課題】 PMWインバータ／コンバータに用いられる I P M及びH V I Cへの入力信号線数を低減し、パワー半導体モジュールの小型化、高信頼性化を図る。

【解決手段】 CPU 1 4 から I P M 1 3 内の 6 P W M 信号発生回路 1 3 d へ、3 個の P W M 信号 (P W M U , P W M V , P W M W) と、全ての信号をオフするための 1 個の P W M O F F 信号とが供給される。すると、6 P W M 信号発生回路 1 3 d によって、3 個の P W M 信号のそれぞれに基づいて、3 個の位相反転信号が生成される。これにより、駆動回路 1 3 a は、6 P W M 信号発生回路 1 3 d からフォトカプラ 1 3 e を経て 6 個の信号を入力し、インバータ部 1 3 b の 6 個の I G B T をスイッチング制御する。よって、3 個の P W M 信号と 1 個の P W M O F F 信号を入力して、6 個の P W M 信号を生成するパワー半導体モジュールを実現することができる。



【特許請求の範囲】

【請求項1】 高電位側に接続されたパワー半導体素子と低電位側に接続されたパワー半導体素子とを交互にスイッチング制御して所定の電流出力を行うパワー半導体モジュールにおいて、

入力された制御信号の位相を反転させて反転信号を生成する反転信号生成手段を備え、入力された制御信号と、前記反転信号生成手段が生成した反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記パワー半導体素子をスイッチング制御することを特徴とするパワー半導体モジュール。

【請求項2】 PWMインバータ方式またはPWMコンバータ方式で使用されるパワー半導体素子と、前記パワー半導体素子を駆動する駆動回路とを内蔵するパワー半導体モジュールにおいて、
入力された3個のPWM制御信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させる信号を発生する信号発生回路を備えたことを特徴とするパワー半導体モジュール。

【請求項3】 前記信号発生回路は、入力されたPWM制御信号のオン期間と、該PWM制御信号に対応するPWM反転信号のオン期間とが重畳しない期間であるデッドタイムを生成するデッドタイム生成手段を備え、前記信号発生回路は、デッドタイム生成手段により生成した3個のPWM制御信号および3個のPWM反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させることを特徴とする請求項2に記載のパワー半導体モジュール。

【請求項4】 前記パワー半導体モジュールの動作保護を行う保護回路と、前記パワー半導体モジュールの故障時に異常信号を送出する事故診断回路との、少なくとも一つを内蔵していることを特徴とする請求項1乃至請求項3のいずれかに記載のパワー半導体モジュール。

【請求項5】 前記信号発生回路の出力側に、入力されたPWM制御信号の電圧レベルをシフトするレベルシフト回路を備え、

前記信号発生回路が、前記パワー半導体素子に印加される直流線間電圧より高い耐圧のICに搭載されていることを特徴とする請求項1乃至請求項4の何れかに記載のパワー半導体モジュール。

【請求項6】 PWMインバータ方式もしくはPWMコンバータ方式で使用されるパワー半導体素子を駆動する高耐圧ICにおいて、
前記高耐圧ICへの入力制御信号として、3個のPWM制御信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いることを特徴とする高耐圧IC。

【請求項7】 入力されたPWM制御信号のオン期間と、該PWM制御信号に対応するPWM反転信号のオン期間とが重畳しない期間であるデッドタイムを生成するデッドタイム生成手段を備え、デッドタイム生成手段により生成した3個のPWM制御信号および3個のPWM反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させる信号発生回路を備えたことを特徴とする請求項6に記載の高耐圧IC。

【請求項8】 前記高耐圧ICの動作保護を行う保護回路と、前記高耐圧ICの故障時に異常信号を送出する事故診断回路との、少なくとも一つを内蔵していることを特徴とする請求項6または請求項7に記載の高耐圧IC。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、PWMインバータおよびPWMコンバータの制御装置に関し、特に、制御装置からの信号を受けて、インバータ用途およびコンバータ用途に使用されるIPM(Intelligent Power Module: 以下略してIPM)及びその内部に搭載されるHVIC(High Voltage Integrated Circuit: 以下略してHVIC)に関する。

【0002】

【従来の技術】 3相交流モータを駆動する方式として、PWMインバータ方式が広く使用されている。また、3相交流電源から、直流電圧を得る方式として、PWMコンバータ方式が広く使用されている。さらに、これらのPWMインバータ用途およびPWMコンバータ用途には、一般にIPMが広く使用されている。通常、このようなIPMは、パワー回路や駆動回路や保護回路や事故診断回路などによって構成される。

【0003】 パワー回路は、3相交流モータに駆動電流を供給したり主直流電源を生成したりする回路であり、IGBT(Insulated Gate Bipolar Transistor)などのスイッチング素子と、スイッチング素子のスイッチオフ時のエネルギーを流すFWD(Free Wheel Diode)とによって構成されている。また、駆動回路はスイッチング素子をスイッチング駆動するための回路である。さらに、保護回路は、過電流保護や短絡保護や加熱保護や電源電圧低下保護などの各種保護機能を有する回路であり、事故診断回路は、保護回路が作動した時のエラー信号を外部のCPUに伝えるための回路である。そして、これらの回路は何れもIPM内部に収納されている。

【0004】 IPMを構成するこれらの各回路は、通常、エポキシ樹脂などを材料とするケースに収納され、スイッチング素子の高周波スイッチング時に発生する損失を効果的に放熱するように設計がなされている。すなわち、IPMの主な特長としては、①低損失かつ高破壊耐量、②高速・高精度な保護による信頼性の向上、③パ

ワープデバイスの周辺回路における効率的設計に基づく部品点数の削減によって実現する、装置の小型化と生産性の向上、などが挙げられる。また、PWMインバータ用途のIPMについては、例えば、オーム社発行『パワーエレクトロニクス入門(改定3版)』2章90頁などに、その一例が記載されている。

【0005】図7は、HVICを搭載しない従来のIPMを用いたPWMインバータの構成を示す回路図である。尚、この回路図では保護回路及び事故診断回路は省略してある。このPWMインバータ回路は、AC電源71よりコンバータ72を経て、直流電源がIPM73のインバータ部73bに供給されている。尚、インバータ部73bはU相分のみが表示されているが、実際には、U、V、W相によって構成されている。また、IPM73には、インバータ部73bと、インバータ部73bを駆動する駆動回路73aと、ブレーキ回路73cとが内蔵されている。さらに、CPU74より、フォトカブラ75で絶縁されて、6個のPWM信号が駆動回路73aに供給されている。そして、インバータ部73bの出力から3相ACモータ77へ3相電力が供給される。また、IPM73とCPU74とフォトカブラ75へは共通の電源76から電力が供給されている。

【0006】また、図9は、HVICを搭載しない従来のIPMを用いたPWMコンバータの構成を示す回路図である。尚、この回路図の場合も保護回路及び事故診断回路は省略してある。IPM93には、コンバータ部93fと、コンバータ部93fを駆動する駆動回路93aとが内蔵され、AC電源91よりIPM93のコンバータ部93fに3相電力が供給されている。また、CPU94より、フォトカブラ95で絶縁されて、6個のPWM信号が駆動回路93aに供給されている。また、IPM93とCPU94とフォトカブラ95へは共通の電源96から電力が供給されている。

【0007】基本的には、PWMインバータでも、PWMコンバータでも、IPMそのものの構成は同じであり、IPMに与えるPWM信号によって、インバータとして使用するか、コンバータとして使用するかを選択して制御することができる。すなわち、従来の制御方式では、図7のPWMインバータ用途でも、図9のPWMコンバータ用途でも、インバータ部73b及びコンバータ部93fの6個のIGBT(IU, IV, IW, IX, IY, IZ)に対応して、IPM73またはIPM93へは、6個のPWM入力信号が送信されている。

【0008】図7のIPM73、または、図9のIPM93に inputsする6個のPWM信号は、それぞれ、PWMU、PWMV、PWMW、PWMX、PWMY、PWMZである。そして、PWMU、PWMV、PWMWは高電位側アームのIGBT(IU, IV, IW)に対応するPWM信号であり、また、PWMX、PWMY、PWMZは低電位側アームのIGBT(IX, IY, IZ)

に対応するPWM信号である。また、PWMUとPWMX、PWMVとPWMY、PWMWとPWMZが、それぞれペアとして使用する高電位側アームと低電位側アームのIGBT(すなわち、IUとIX、IVとIY、IWとIZ)に対応するPWM信号の組である。尚、図7のIPM73及び図9のIPM93は、それぞれ、1次側と2次側を電氣的に絶縁するフォトカブラ75、95を外部に設けた場合の例を示しているが、これらのフォトカブラ75、95を、それぞれのIPM73、93の内部に設けてもよい。

【0009】ところが、上述のような汎用されているIPMの殆どは、パワーチップとICなどの電子部品を組み合わせた構成であるため、高集積化や小型化には自ずと限界がある。これを打開するために、これまで別々に構成していた部品をICに集積化する傾向があり、特に、上下アームのIGBTをドライブするためのHVICが既に実現されており、これらのHVICがIPMに搭載され始めている。また、IGBTのドライブ部をHVICとは別チップで構成する場合もあり、IPM内部の構成は、制御回路の誤動作の問題やパワー回路に発生する熱を勘案しつつ最適設計がなされる。

【0010】図8は、IGBTのドライブ回路を内蔵したHVICを搭載して、従来のIPMを用いたPWMインバータの構成を示す回路図である。この回路が、前述の図7の回路と異なるところは、IPM83には、デッドタイム発生回路83d及びレベルシフト回路83eが内蔵されているところである。すなわち、IPM83は、インバータ部83bとブレーキ部83cとHVIC88とによって構成され、さらに、HVIC88には、駆動回路83aとデッドタイム発生回路83dとレベルシフト回路83eとが内蔵されている。また、CPU84からデッドタイム発生回路83dに対して、6個のPWM信号、すなわち、PWMU、PWMV、PWMW、PWMX、PWMY、PWMZが供給されている。したがって、図8のように、HVIC88をIPM83に内蔵して使用方法では、IPM83の駆動回路83aの入力側には、図7に示すような、信号を電氣的に絶縁して伝達するためのフォトカブラを必要としない利点がある。尚、IPM83の周辺部分については、図7とは符合は異なるが、構成については全て同じであるので説明は省略する。

【0011】

【発明が解決しようとする課題】しかしながら、前述のように、HVICをIPMに内蔵した回路においても、依然として、inputsするPWM信号は6個必要となる。ところが、今日のように、IPMの高集積化や小型化がさらに必要となる状況においては、IPMおよびHVICの入力信号線の数をさらに低減して、IPMパッケージの小型化並びにIPMのインターフェイスの簡素化に繋げることが望まれている。

【0012】また、前述のようにHVICをIPMに内蔵する場合は、基本的には、電氣的に絶縁することを必要としないが、実際の使用状況においては、安全上の観点からフォトカブラなどで絶縁する場合が多い。このような場合についても、IPMおよびHVICの入力信号線の本数を、さらに低減することができれば、高価な高速フォトカブラの使用数を削減することが可能になり、一層のコストダウンを図ることができる。ところが、現状では、3相ACモータの駆動方式においては、図7、図8に示すようなインバータ部、および、図9に示すようなコンバータ部のIGBTの個数に対応して、PWMの入力信号数は6個必要となり、これらの信号数を低減することができない。

【0013】本発明はこのような事情に鑑みてなされたものであり、その目的は、PWMインバータやPWMコンバータに用いられるIPM及びHVICへの入力信号線の本数を低減し、もって、3相モータ駆動システム全体の小型化及び高信頼性を図ることにある。

【0014】

【課題を解決するための手段】上記の課題を解決するために、本発明のパワー半導体モジュールは、高電位側に接続されたパワー半導体素子と低電位側に接続されたパワー半導体素子とを交互にスイッチング制御して所定の電流出力を行うパワー半導体モジュールにおいて、入力された制御信号の位相を反転させて反転信号を生成する反転信号生成手段を備え、入力された制御信号と、前記反転信号生成手段が生成した反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記パワー半導体素子をスイッチング制御することを特徴とするものである。

【0015】すなわち、本発明は、高電位側に接続されたパワー半導体素子のスイッチング信号と低電位側に接続されたパワー半導体素子のスイッチング信号とは、位相が180度反転していることに着目してなされたものである。したがって、本発明のパワー半導体モジュールによれば、入力する制御信号線は、全パワー半導体素子のスイッチング信号数の半分にすることができる。そして、パワー半導体モジュール内部の制御回路によって、それぞれの制御信号に対応する反転信号を生成して、全てのパワー半導体素子に対応するスイッチング信号を取得している。しかし、全てのスイッチング信号を一括してオフにするバルスオフ信号が1個必要となる。したがって、本発明のパワー半導体モジュールに入力される信号線の本数は、全パワー半導体素子のスイッチング信号線数の半分プラス1本でよいことになる。しかも、本発明によれば、パワー半導体モジュール内部の機能を低下させることなく、入力信号線の本数を低減することができる。

【0016】また、本発明に係るパワー半導体モジュールは、PWMインバータ方式またはPWMコンバータ方

式で使用されるパワー半導体素子と、前記パワー半導体素子を駆動する駆動回路とを内蔵するパワー半導体モジュールにおいて、入力された3個のPWM制御信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させる信号を発生する信号発生回路を備えたことを特徴とするものである。

【0017】本発明のパワー半導体モジュールによれば、入力される制御信号線は、従来の全パワー半導体素子のスイッチング信号線数の半分プラス1本でよいことになり、3相PWMインバータまたは3相PWMコンバータに用いることにより、パワー半導体モジュールへ入力されるパワー半導体素子の制御信号として、3個のPWM信号と1個の全パワー半導体素子のバルスオフ信号との合計4個の信号線で済むことになる。すなわち、従来、3相PWMインバータ方式および3相PWMコンバータ方式の場合、パワー半導体モジュールのPWM入力信号は6個必要であったが、本発明により、これを4個の信号線で置き換えることができる。このようにして、パワー半導体モジュールの入端子数を2個低減することができ、パワー半導体モジュールの小型化やコストダウンを図ることができる。さらには、インバータシステムおよびコンバータシステム全体の小型化やコストダウン、並びに信頼性の向上を図ることができる。また、安全上の観点から、電氣的に絶縁するために高価な高速フォトカブラを信号線間に使用することが多いが、このようなフォトカブラの数を6個から4個に削減することができるため、更なるコストダウンと信頼性の向上が図れる。

【0018】また、本発明のパワー半導体モジュールは、前記信号発生回路が、入力されたPWM制御信号のオン期間と、該PWM制御信号に対応するPWM反転信号のオン期間とが重畳しない期間であるデッドタイムを生成するデッドタイム生成手段とを備え、前記信号発生回路が、デッドタイム生成手段により生成した3個のPWM制御信号および3個のPWM反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させることを特徴とするものである。

【0019】このようなパワー半導体モジュールによれば、PWMインバータまたはPWMコンバータを構成する上下アームのパワー半導体素子が、同時にオンしないように、PWM制御信号とこれに対応するPWM反転信号毎にデッドタイムを設けている。したがって、スイッチング信号の信頼性が高いパワー半導体モジュールを実現することができる。

【0020】また、本発明のパワー半導体モジュールは、前記パワー半導体モジュールの動作保護を行う保護回路と、前記パワー半導体モジュールの故障時に異常信号を送出する事故診断回路との、少なくとも一つを内蔵

していることを特徴とするものである。

【0021】このようなパワー半導体モジュールによれば、パワー半導体素子などの過電流保護や短絡保護や加熱保護や電源電圧低下保護などの各種保護機能を有する保護回路や、保護回路が作動した時のエラー信号を外部のCPUに伝えるための事故診断回路を備えているので、信頼性の向上を図ることができると共に、故障時にいち早い対応を行うことができる。

【0022】また、本発明のパワー半導体モジュールは、前記信号発生回路の出力側に、入力されたPWM制御信号の電圧レベルをシフトするレベルシフト回路を備え、前記信号発生回路が、前記パワー半導体素子に印加される直流線間電圧より高い耐圧のICに搭載されていることを特徴とするものであり、このようなパワー半導体モジュールによれば、安全性、信頼性に優れたものとなる。

【0023】また、本発明の高耐圧ICは、PWMインバータ方式もしくはPWMコンバータ方式で使用されるパワー半導体素子を駆動する高耐圧ICにおいて、前記高耐圧ICへの入力制御信号として、3個のPWM制御信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いることを特徴とするものである。

【0024】このような高耐圧ICによれば、3相PWMインバータまたは3相PWMコンバータに用いられ、高耐圧ICへ入力するパワー半導体素子の制御信号として、3個のPWM信号と1個の全パワー半導体素子のバルスオフ信号との、合計4個の信号線で済むことになる。すなわち、従来、3相PWMインバータ方式および3相PWMコンバータ方式の場合、高耐圧ICのPWM入力信号としては6個使用していたが、本発明により、これを4個の信号線で置き換えることができる。このようにして、高耐圧ICの入力端子数を2個低減することができ、高耐圧ICの小型化やコストダウンを図ることができる。

【0025】また、本発明の高耐圧ICは、入力されたPWM制御信号のオン期間と、該PWM制御信号に対応するPWM反転信号のオン期間とが重畳しない期間であるデッドタイムを生成するデッドタイム生成手段を備え、デッドタイム生成手段により生成した3個のPWM制御信号および3個のPWM反転信号と、全ての前記パワー半導体素子のスイッチング信号をオフにする1個のバルスオフ信号とを用いて、前記駆動回路を動作させる信号発生回路を備えたことを特徴とするものである。

【0026】このような高耐圧ICによれば、3相PWMインバータまたは3相PWMコンバータを構成する上下アームのパワー半導体素子が、同時にオンしないように、PWM制御信号とこれに対応するPWM反転信号毎にデッドタイムを設けるため、スイッチング信号の信頼性が高い高耐圧ICを実現することができる。

【0027】また、本発明の高耐圧ICは、前記高耐圧ICの動作保護を行う保護回路と、前記高耐圧ICの故障時に異常信号を送出する事故診断回路との、少なくとも一つを内蔵していることを特徴とするものである。

【0028】このような高耐圧ICによれば、パワー半導体素子などの過電流保護や短絡保護や加熱保護や電源電圧低下保護などの各種保護機能を有する保護回路や、保護回路が作動した時のエラー信号を外部のCPUに伝えるための事故診断回路を備えているので、信頼性の向上を図ることができると共に、故障時にいち早い対応を行うことができる。

【0029】

【発明の実施の形態】以下、図面を用いて、本発明の実施の形態を詳細に説明するが、先ず、前述の図7～図9におけるIPM及びHVICの機能を低下させることなく、IPM及びHVICへの入力信号数を減らす方法の概要について述べる。図10は、図7及び図9における従来方式においてHVICを有しないIPMに入力するPWMU信号とPWMX信号のタイミング波形図である。尚、これらのPWM信号において、“High”がアクティブな信号である。また、2つの信号PWMUとPWMXとの間には、デッドタイム（以下、DTという）が設けられている。このDTは、インバータ部の上下のアームのIGBT（IUとIX）が同時にオンしないように設けられた信号休止期間である。DTの値は、駆動回路での伝搬遅延のばらつきなどを考慮して決められている。

【0030】図11は、図8における従来方式の、HVICを搭載したIPMに入力するPWMU信号とPWMX信号のタイミング波形図である。この波形の場合は、IPM83に内蔵されたHVIC88にデッドタイム発生回路83dが設けられているので、IPM83へ入力するPWMU信号とPWMV信号との間にはDTを設けなくて、完全な反転信号となっている。

【0031】すなわち、図10のDT期間で2個の信号を共にオフさせる場合を除いて、図10、図11に示すように、多くの用途では、PWMUとPWMXは常にオンとオフが互いに反転した状態で入力される。このため、これを1つの信号（例えばPWMU信号）をIPMに入力して、IPM内部でPWMU信号とこれを反転させたPWMX信号とに分けることが可能である。この場合には、PWMU信号とIPM内部で作られたPWMX信号との間には、インバータ部またはコンバータ部の上下アームのIGBT（IUとIX）が同時にオンしないように、デッドタイム発生回路によってDTを設ける。また、他の組の信号PWMVとPWMY、及びPWMWとPWMZについても、互いに反転した信号であるので、それぞれ1個ずつのPWM信号、すなわちPWMV及びPWMWをIPMに入力すれば、PWMVとPWMYの組の信号及びPWMWとPWMZの組の信号を生成

することができる。

【0032】しかし、このような信号方式では、IPM内部の6個のPWM信号を全てオフさせたい場合、IPMに入力する3個の信号PWMU、PWMV、PWMWだけではオフさせることができない。すなわち、点弧信号を消弧するための消弧信号としてもう1個の入力信号が必要となる。以下、この消弧信号を『PWMOFF』と名づける。このような信号構成をとれば、IPMおよびHVICのPWM入力信号として、従来6個使用していた信号を、3個のPWM入力信号と1個のPWMOFF信号の合計4個の入力信号によって、インバータまたはコンバータをスイッチング動作させることができる。よって、従来の方式に比べて、IPMおよびHVICの信号端子数を2個削減することができる。

【0033】次に、図面を用いて、本発明のIPMを用いたPWMインバータあるいはPWMコンバータの具体的な実施の形態の幾つかを説明する。

実施の形態1. 図1は、本発明の第1の実施の形態におけるパワー半導体モジュールの構成を示す回路図である。第1の実施の形態は、レベルシフト機能を有するHVICを搭載しないIPMを使用したPWMインバータについて説明する。

【0034】図1において、このPWMインバータ回路は、AC電源11よりコンバータ12を経て、直流電源がIPM13のインバータ部13bに供給されている。尚、インバータ部13bはU相のみが表示されているが、実際にはU、V、W相によって構成されている。また、IPM13には、インバータ部13bと、このインバータ部13bを駆動する駆動回路13aと、ブレーキ回路13cと、6個のPWM信号を発生する6PWM信号発生回路13dと、フォトブラ13eとが内蔵されている。そして、CPU14からIPM13の6PWM信号発生回路13dに対して、3個のPWM信号、すなわちPWMU、PWMV、PWMW信号と、これらの信号をオフするためのPWMOFF信号とが供給されている。さらに、インバータ部13bの出力から3相ACモータ17へ3相電力が供給されている。また、IPM13とCPU14とは共通の電源16から電力が供給されている。

【0035】すなわち、図1のPWMインバータ回路において、IPM13は、従来のような6個のPWM入力信号ではなく、3個のPWM信号（すなわち、PWMU、PWMV、PWMW）と、全てのPWM入力信号をIPM13の内部でオフ状態にするための1個のPWMOFF信号との、合計4個の信号線を備えている。そして、6PWM信号発生回路13dによって、3個のPWM信号（PWMU、PWMV、PWMW）と、1個のPWMOFF信号とから、6個のPWM信号を生成している。

【0036】図6は、本発明の実施の形態において、3

個のPWM入力信号と1個のPWMOFF信号から、6個のPWM信号を発生させる6PWM信号発生回路の一例を示す回路図である。すなわち、U相について説明すると、入力されたPWMU信号は、そのままの信号と、インバータIC61uによって180度位相反転された信号との、2つの信号に分けられて、デッドタイム発生回路63uに供給される。さらに、デッドタイム発生回路63uで、2つの信号のオン期間が重畳しないように、デッドタイム(DT)が生成されて出力される。そして、PWMOFF信号が入力されていないときは、2つの信号は、AND回路64u及びAND回路64xより、それぞれ、PWMU信号と180度位相反転したPWMX信号として出力される。

【0037】このようにして、通常はPWMU信号とPWMX信号が出力されるが、PWMOFF信号が入力されると、インバータIC62で反転された信号が”LOW”信号としてAND回路64u、64xに入力されるので、デッドタイム発生回路63uからの2つの信号は送出されない。尚、入力されたPWMV信号及びPWMW信号についても、全く同様の動作によって、それぞれ、PWMV信号と180度位相反転したPWMY信号、及びPWMW信号と180度位相反転したPWMZ信号が生成されて出力される。

【0038】尚、図1に示す第1の実施の形態の構成では、6PWM信号発生回路13dと駆動回路13aとの間に、信号を電氣的に絶縁して伝えるための、例えばフォトブラ13eが必要となる。従って、前述の図7における従来技術よりも多くの部品をIPM内部に搭載することになるが、本発明の課題であるIPMの入力端子数を、従来より2個削減することが実現できる。

【0039】また、IPM13には、パワー半導体素子の動作保護を行う保護回路や故障時に異常信号をCPU等へ送出する事故診断回路を設けることができる。保護回路は、過電流保護、短絡保護、加熱保護、制御電源電圧低下保護の機能をそれぞれ内蔵するようにしたものである。

(1) 過電流保護、短絡保護

過電流は、IGBTチップに電流検出用に全セルの(1/数千)程度の電流センス部を設け、順方向のコレクタ電流を監視し、一定レベルが一定期間以上連続した場合に、制御入力の受付を停止し、IGBTへのゲート出力をソフト遮断し、同時に事故診断回路により、一定期間外部にアラーム信号を出す。このときに、システム停止していなければ、アラーム信号停止後、エラーとなる要因が取り除かれていれば、IPMは自己復帰し、通常スイッチングを再開する。過電流と短絡は、IGBTのセンスに流れる電流の抵抗での分圧比と、そのレベルに至るまでの時間で区別する。これはターンオン時のリカバリ電流での保護動作を防止するためである。ゲートをソフト遮断するのは、コレクタ電流の遮断によるサージ電

圧を制御するためと、コレクタ電流自体を抑制してIGBTに加わる損失を低減するためである。なお、短絡動作の場合のピーク電流を抑えて、短絡耐量を向上させるための高速応答の電流検出回路を内蔵させることもできる。

【0040】(2) 加熱保護

加熱保護は、IPMのパワー基板上に内蔵したサーミスタや半導体チップで温度を検出し、設定温度を一定時間以上越えたときにゲート信号を遮断する。保護動作シーケンスは、基本的には過電流保護と同じであるが、保護の解除レベルと遮断レベルにはヒステリシスがあるため、その間は遮断状態を継続するようにする。

【0041】(3) 制御電源電圧低下保護

IGBTはゲート電圧が不足すると飽和電圧が増加し、異常な温度上昇を招くことがある。この対策としてIPMの制御ICの電源電圧を監視し、基準電圧以下の状態が一定時間以上継続した場合に、ゲート信号を遮断する。シーケンスや遮断の継続は加熱保護と同じである。

【0042】実施の形態2. 次に、本発明における第2の実施の形態について説明する。図2はHVICを搭載したIPMを用いたPWMインバータの構成を示す回路図である。この回路が図1に示す第1の実施の形態の回路と異なるところは、IPM23にHVIC28が搭載され、且つ、このHVIC28に駆動回路23aと6PWM信号発生回路23d及びレベルシフト回路23eが内蔵されているところである。尚、IPM23がインバータ部23bとブレーキ回路23cを搭載しているところと、IPM23の周辺回路については、符号のみが異なっているが、図1と全く同じ構成であるのでその説明は省略する。また、保護回路や事故診断回路についても実施の形態1に説明したものと同じであり、ここでの説明を省略する。

【0043】図2において、インバータ部23bのIGBTをドライブするために、CPU24よりHVIC28の6PWM信号発生回路23dに対して、3個のPWM信号(PWMU、PWMV、PWMW)と1個のPWMOFF信号とを入力し、6PWM信号発生回路23dによって6個のPWM信号を生成している。尚、6PWM信号発生回路23dの内部構成は、第1の実施の形態と同様、図6に示す回路であり、6個のPWM信号の生成過程も前述と同じであるのでその説明は省略する。

【0044】また、図2における第2の実施の形態の回路は、図8の従来例の回路のデッドタイム発生回路83dを、6PWM信号発生回路23dに置き換えたところのみが異なっている。したがって、第2の実施の形態のIPM23は、図8の従来例のIPM83に比べて、チップ面積の増加もごく僅かなものとなり、第1の実施の形態で述べたようなIPM内部の部品点数の増加は生じない。したがって、第2の実施の形態では、IPMの部品を増加させることなく、従来のIPMおよびHVIC

を用いたPWMインバータの構成に対して、信号入力端子数を2個削減することが可能となる。

【0045】実施の形態3. 次に、本発明における第3の実施の形態について説明する。図3はHVICを搭載したIPMを用いたPWMインバータの構成を示す回路図である。この実施の形態は、IPMおよびその内部に搭載されるHVICの構成については、符号のみは異なるが、図2のIPM及びHVICの構成と全く同じである。前述のように、HVICをIPMに搭載することによって、電気的に絶縁して信号を伝達するためのフォトカブラなどの絶縁手段が不要になったとは言え、実際には、安全上の観点から、フォトカブラなどをIPMの入力側に取り付けることが多い。したがって、図3に示す第3の実施の形態は、図2に示す第2の実施の形態に対して、フォトカブラ35が追加されている。この実施の形態の場合、図7の従来例のIPMに対し、入力信号数が2個少ないため、高価な高速フォトカブラ数を2個削減できるという利点がある。なお、保護回路や事故診断回路については、実施の形態1に説明したものと同じであり、ここでの説明を省略する。

【0046】実施の形態4. 次に、本発明における第4の実施の形態について説明する。図4はHVICを搭載したIPMを用いたPWMコンバータの構成を示す回路図である。この実施の形態は、IPM及びその内部に搭載されるHVICの構成については、符号は異なるが、図2に示す第2の実施の形態のIPM及びHVICの構成と殆ど同じである。但し、この実施の形態のPWMコンバータでは、PWMインバータで必要であったブレーキ回路は不要となる。この実施の形態のPWMコンバータは、CPUから3個のPWM信号(PWMU、PWMV、PWMW)と1個のPWMOFF信号とを入力して、6PWM信号発生回路43dで6個のPWM信号を生成する。そして、駆動回路43aによって、生成された6個のPWM信号で各IGBT(IU、IV、IW、IX、IY、IZ)を制御し、AC電源41からの電力を直流変換して直流電源ラインに供給している。なお、保護回路や事故診断回路については、実施の形態1に説明したものと同じであり、ここでの説明を省略する。

【0047】実施の形態5. 次に、本発明における第5の実施の形態について説明する。図5はHVICを搭載したIPMを用いたPWMコンバータの構成を示す回路図である。この実施の形態のIPM53およびその内部に搭載されるHVIC58の構成については、符号のみは異なるが、図4における構成と全く同じである。前述のように、HVICをIPMに搭載することによって、電気的に絶縁して信号を伝達するためのフォトカブラなどの絶縁手段が不要になったとは言え、実際には、安全上の観点から、フォトカブラなどをIPMの入力側に取り付けることが多い。したがって、図5に示す第5の実施の形態は、図4に示す第4の実施の形態に対して、フ

フォトカプラ 55 が追加されている。この実施の形態の場合、図 9 の従来例の IPM に対し、入力信号数が 2 個少ないため、高価な高速フォトカプラ数を 2 個削減できるという利点がある。なお、保護回路や事故診断回路については、実施の形態 1 に説明したものと同一であり、ここでの説明を省略する。

【0048】

【発明の効果】以上説明したように、本発明によれば、PWM インバータ用途もしくは PWM コンバータ用途で使用される IPM および HVIC の PWM 入力信号を、従来の 6 個の PWM 信号より、3 個の PWM 信号と 1 個の PWM OFF 信号の合計 4 個の信号に削減することができる。このように、IPM および HVIC への入力端子を、従来よりも 2 端子減らすことによって、IPM および HVIC の小型化及び低コスト化の実現が可能となる。さらに、IPM を使用する PWM インバータシステム及び PWM コンバータシステム全体を簡素化することができ、もって、高信頼性化並びに低コスト化を図ることができる。特に、HVIC を搭載した IPM では、IPM 内部の部品を増加させることなく、6 個の PWM 入力信号を、3 個の PWM 信号と 1 個の PWM OFF 信号に置き換えることができるので、小型且つ低コスト化並びに高信頼性化の実現への効果は極めて大きい。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態における HVIC を搭載しない IPM を用いた PWM インバータの構成を示す回路図である。

【図 2】本発明の第 2 の実施の形態における HVIC を搭載した IPM を用いた PWM インバータの構成を示す回路図である。

【図 3】本発明の第 3 の実施の形態における HVIC を搭載した IPM を用いた PWM インバータの構成を示す回路図である。

【図 4】本発明の第 4 の実施の形態における HVIC を搭載した IPM を用いた PWM コンバータの構成を示す回路図である。

【図 5】本発明の第 5 の実施の形態における HVIC を搭載した IPM を用いた PWM コンバータの構成を示す回路図である。

【図 6】本発明の実施の形態において、6 個の PWM 信号を発生させる 6 PWM 信号発生回路の一例を示す回路

図である。

【図 7】HVIC を搭載しない従来の IPM を用いた PWM インバータの構成を示す回路図である。

【図 8】HVIC を搭載した従来の IPM を用いた PWM インバータの構成を示す回路図である。

【図 9】HVIC を搭載しない従来の IPM を用いた PWM コンバータの構成を示す回路図である。

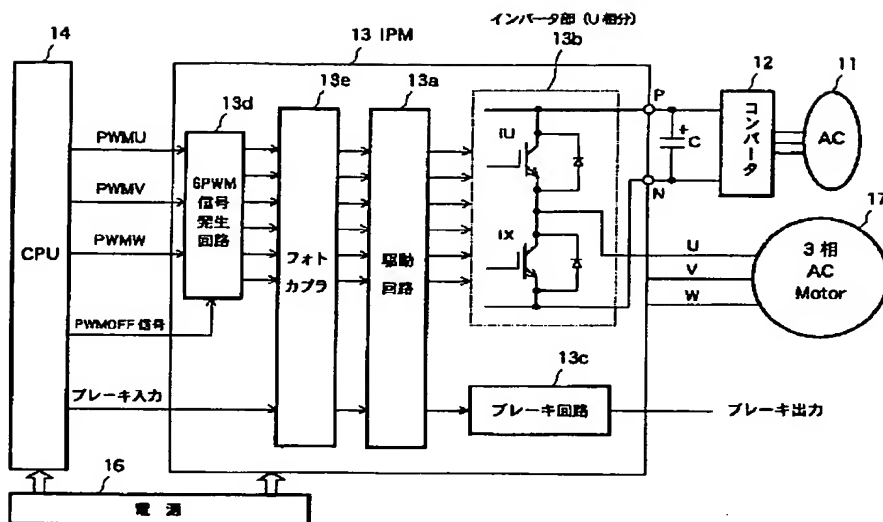
【図 10】HVIC を搭載しない IPM に入力される PWMU 信号と PWMX 信号のタイミング波形図である。

【図 11】HVIC を搭載した IPM に入力される PWMU 信号と PWMX 信号のタイミング波形図である。

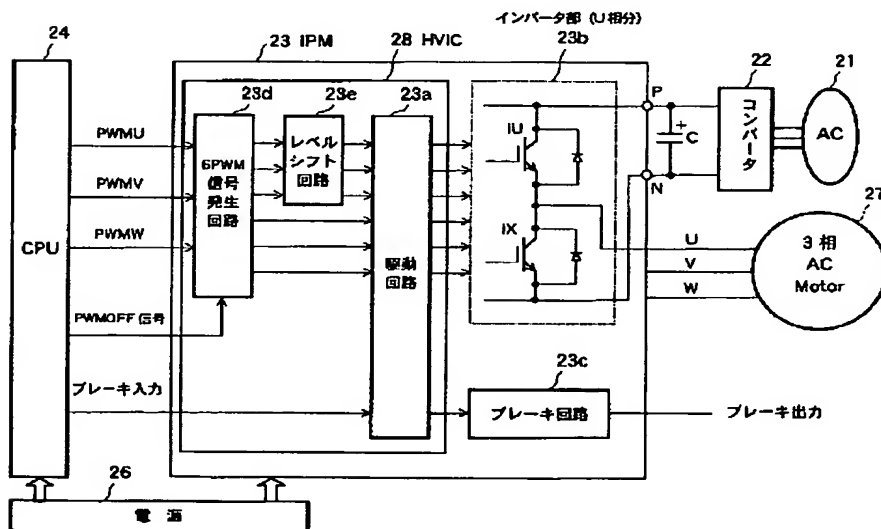
【符号の説明】

11、21、31、41、51、71、81、91 AC 電源
 12、22、32、72、82 コンバータ
 13、23、33、43、53、73、83、93 IPM
 13a、23a、33a、43a、53a、73a、83a、93a 駆動回路
 13b、23b、33b、73b、83b インバータ部
 13c、23c、33c、73c、83c ブレーキ回路
 13d、23d、33d、43d、53d 6 PWM 信号発生回路
 13e、35、55、75、95 フォトカプラ
 14、24、34、44、54、74、84、94 CPU
 16、26、36、46、56、76、86、96 電源
 17、27、37、77、87 3 相 AC モータ
 28、38、48、58、88 HVIC
 23e、33e、43e、53e、83e レベルシフト回路
 43f、53f、93f コンバータ部
 61u、61v、61w、62 インバータ IC
 63u、63v、63w、83d デッドタイム発生回路
 64u、64x、64v、64y、64w、64z AND 回路

【図1】

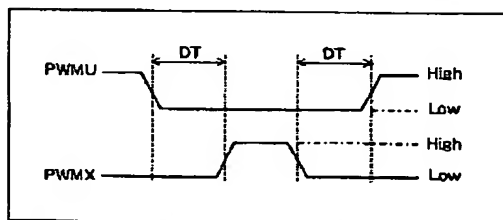


【図2】



【図10】

図7. 9の従来方式のIPMに入力するPWMUとPWMXの信号

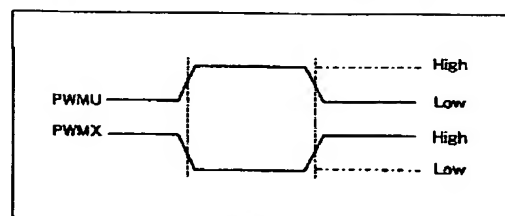


DT(デッドタイム): インバータ部の上下アームのIGBTが同時にオンしないように、デッドタイムを設けてIPMに入力する。DTの値は、駆動回路での伝達遅延のばらつきなどを考慮して決める。

"High": active を示す

【図11】

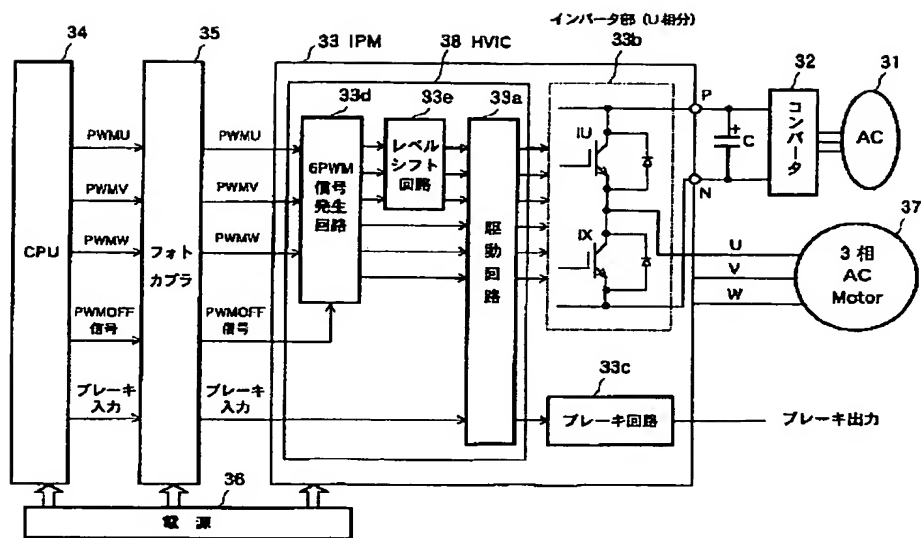
図8の従来方式のIPMに入力するPWMUとPWMXの信号



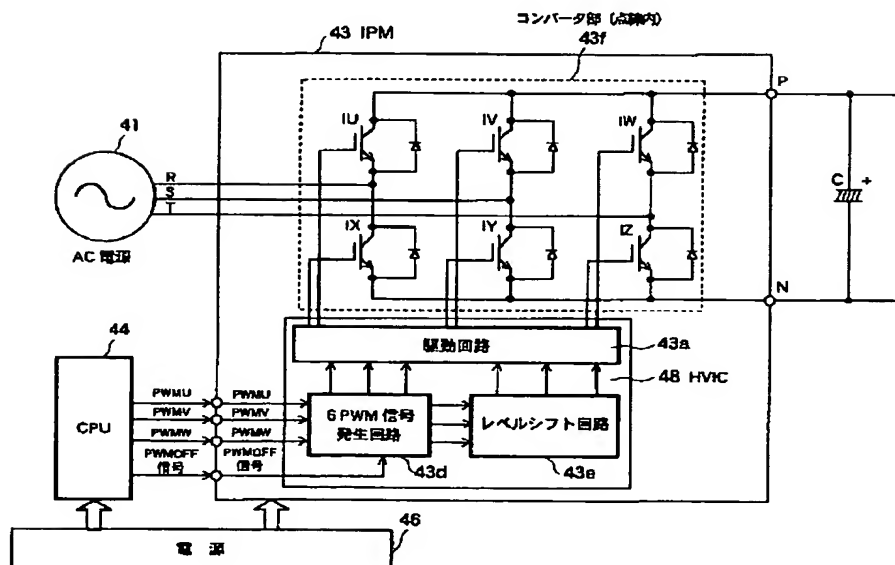
HVIC にデッドタイム発生回路を含め構成のため、IPMへ入力するPWMUとPWMXは完全な反転信号

"High": active を示す

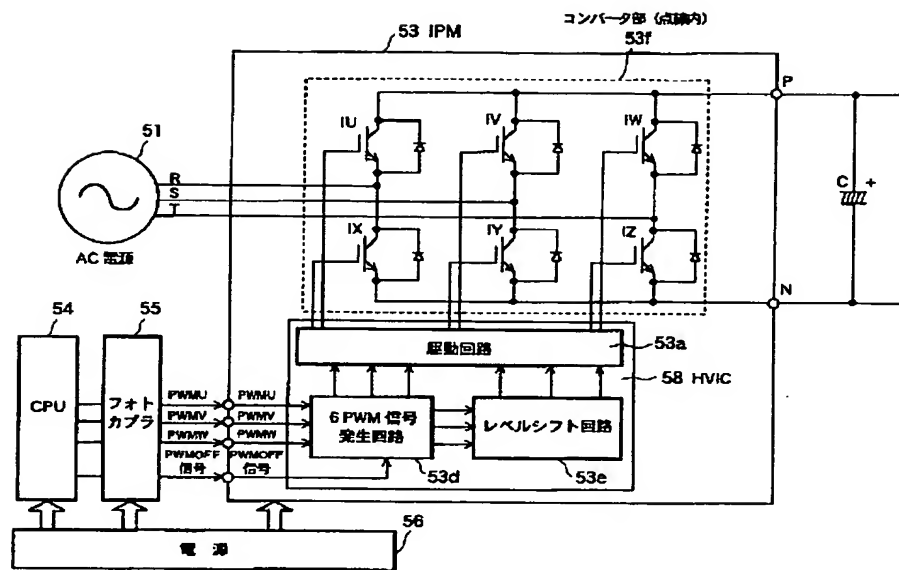
【図3】



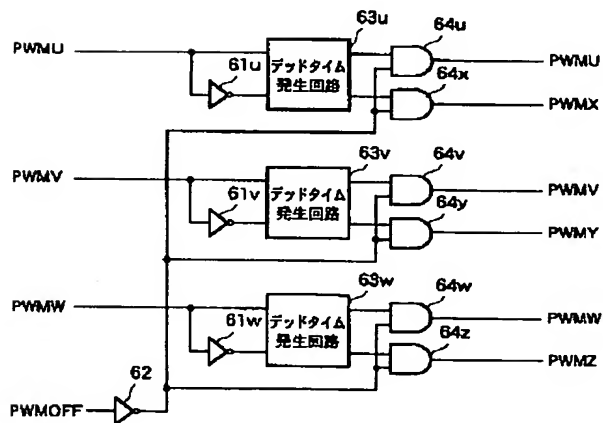
【図4】



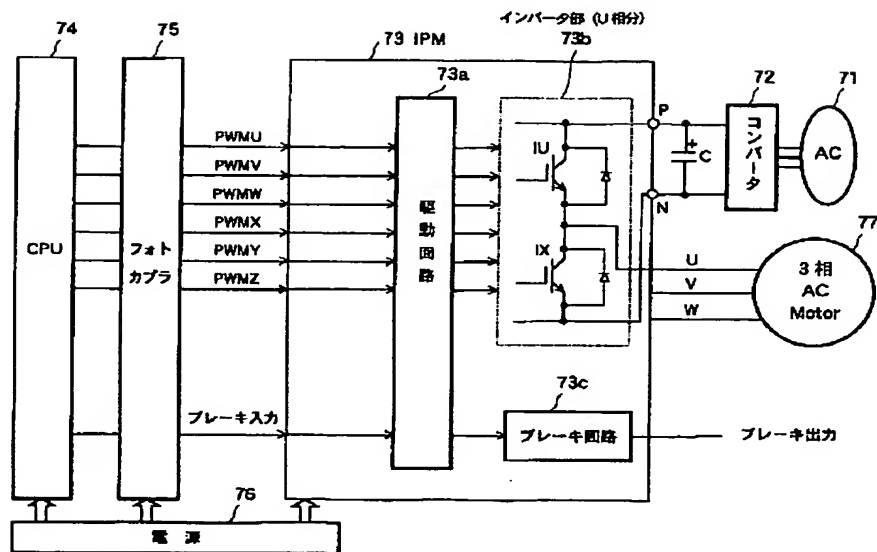
【図5】



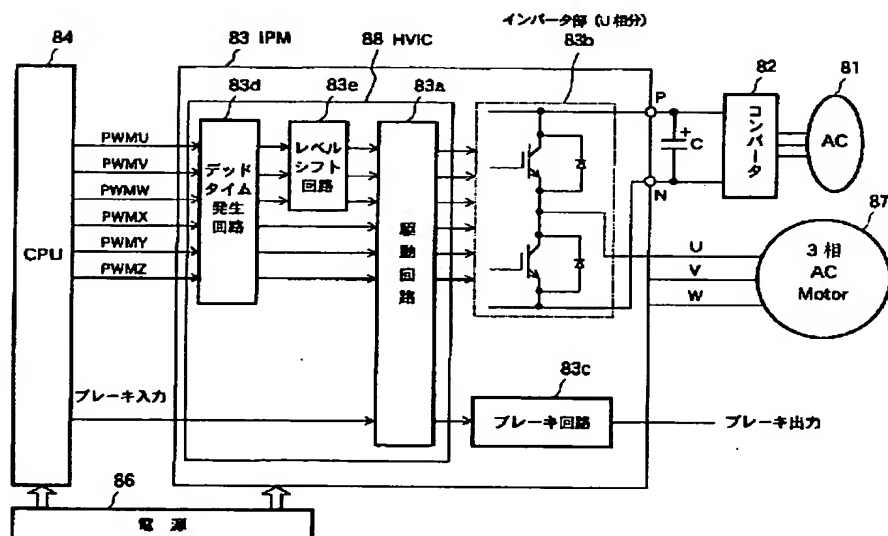
【図6】



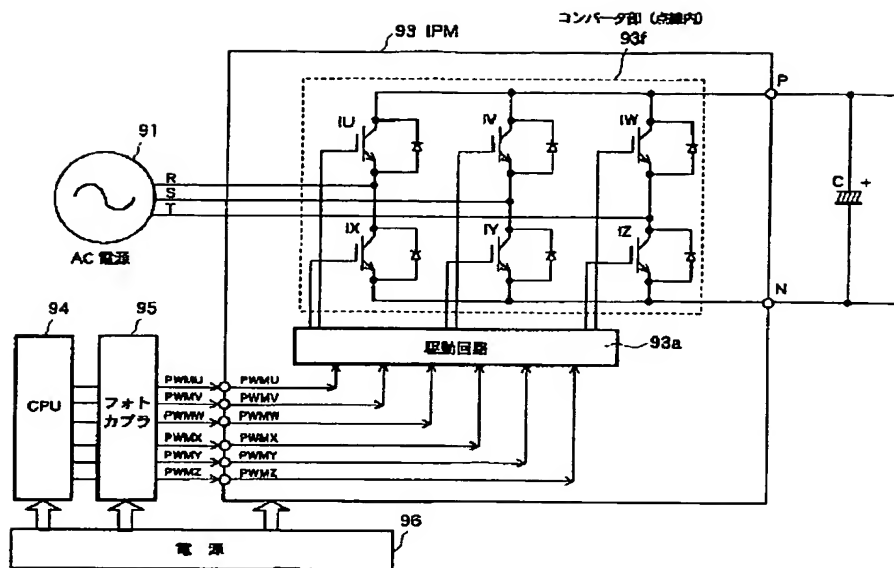
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5H006 BB05 CA01 CA07 CA12 CA13
 CB01 CB08 CC02 DB03 DB07
 FA02 FA03 FA04
 5H007 BB06 CA01 CB05 CC07 CC12
 CC23 DB03 DB12 EA02 FA01
 FA02 FA03 FA09 FA13